

**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)
УНИВЕРСИТЕТ**

Составлен в соответствии с
государственными требованиями к
минимуму содержания и уровню
подготовки выпускников по
направлению **11.03.03**

**Конструирование и технология
электронных средств** и Положением
«Об УМКД РАУ».

УТВЕРЖДАЮ:

Директор ИФИ Саркисян А.А.



21.07.2023г.

Институт: Инженерно-физический

Кафедра: Микроэлектронные схемы и системы

Автор: К.т.н., доцент Сагателян Анна Карписовна

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС

**Дисциплина: Б1.В.ДВ.12.01 «Конструирование электронных средств на
базе программируемых БИС»**

**Направление: 11.03.03 «Конструирование и технология электронных
средств»**

ЕРЕВАН

Структура и содержание УМКД

1. Аннотация

1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения данной дисциплины студент должен:

- **знать:** архитектуру, методы и средства разработки конфигурации ПЛИС
- **уметь:** сконструировать цифровые схемы на базе ПЛИС
- **владеть:** практическими навыками программирования (конфигурации) ПЛИС

1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Курс «Конструирование электронных средств на базе программируемых БИС» тесно взаимосвязан с такими дисциплинами специальности «Конструирование и технология электронных средств», как «Информационные технологии»; «Языки проектирования аппаратных средств»; «Логическое проектирование электронных средств»; «Проектирование цифровых интегральных схем».

1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** основы алгебры логики, основы логического и цифрового проектирования;
- **уметь:** анализировать и проектировать логические схемы и конечные автоматы (FSM);
- **владеть:** навыками информационных технологий и автоматизированного проектирования.

1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения дисциплины «Конструирование электронных средств на базе программируемых БИС» у студентов должна быть устойчивая база знаний изученных на предыдущем курсе дисциплины «Проектирование цифровых интегральных схем», «Языки проектирования аппаратных средств».

2. Содержание

2.1. Цели и задачи дисциплины

Изучение архитектуры, схемотехники и конструирования электронных средств на базе программируемых БИС, получение знаний в области проектирования цифровых схем с использованием программируемых логических интегральных схем (ПЛИС - FPGA). Также изучение вопросов структуры FPGA и последовательность проектирования цифровых устройств по RTL-описанию на FPGA (Xilinx, ISE Design Suite 1.4), получение битового файла (bit-stream) и конфигурирование устройства.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции: (ПК):

- готовностью формировать презентации, научно-технические отчеты по результатам выполненной работы, оформлять результаты исследований в виде статей и докладов на научно-технических конференциях (ПК-3)
- способностью проводить предварительное технико-экономическое обоснование проектов конструкций электронных средств (ПК-4)

общепрофессиональные компетенции (ОПК):

- готовностью пользоваться основными методами защиты производственного персонала и населения от возможных последствий аварий, катастроф, стихийных бедствий (ОПК-8)

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	144/4 кред
1.1. Аудиторные занятия, в т. ч.:	52
1.1.1. Лекции	34
1.1.2. Практические занятия	18
1.2. Самостоятельная работа, в т.ч.:	43
Итоговый контроль <u>Экзамен</u>	49

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. (ак. часов)
1	2	3	4
Модуль 1.			
Введение. Краткий обзор методов проектирования. Раздел 1. Классификация цифровых интегральных схем.	2	2	
Тема 1.1. Классификация и характеристики программируемых интегральных схем (PLD). Типы программируемых соединений.	3	3	
Тема 1.2. Классификация простых PLD. Программируемые логические матрицы (PLA)	5	3	2
Тема 1.3. Реализация конечного автомата на PLA.	6	4	2
Тема 1.4. Классификация и назначение ROM-памяти. Структура ROM-памяти.	8	4	4
Тема 1.5. Однократно программируемые ROM (PROM). EPROM и EEPROM.	4	2	2
Раздел 2. Программируемые большие интегральные схемы (БИС) – FPGA. Классические FPGA.	2	2	
Тема 2.1. Структура программируемых БИС. Использование ячейки SRAM в качестве программируемого элемента.	6	4	2
Тема 2.2. Конфигурируемые логические блоки. Реализация логических функций с использованием LUT – блоков.	4	2	2
Тема 2.3. Реализация булевых функций на программируемых мультиплексорах. Сложные PLD (Complex PLD - CPLD): Секции CPLD.	6	4	2
Тема 2.4. Ресурсы конфигурируемых логических блоков БИС. Секции SLICEM и SLISEL.	6	4	2
ИТОГО	52	34	18

2.3.3 Содержание разделов и тем дисциплины

Основные разделы:

- классификация цифровых интегральных схем;
- обзор специализированных интегральных схем (программируемые большие интегральные схемы - БИС);
- однократно и многократно программируемые логические схемы;
- проектирование цифровых устройств на программируемых БИС.

Модуль 1.

Введение Краткий обзор методов проектирования.

Раздел 1. Классификация цифровых интегральных схем

Тема 1.1. Классификация и характеристики программируемых интегральных схем (PLD). Типы программируемых соединений. Типы программирования: логики fuse и antifuse.

Тема 1.2. Классификация программируемых логических устройств. Однократно проектируемые логические устройства. Программируемые логические матрицы (Programmable logic array PLA). Технологии однократного программирования.

Тема 1.3. Реализация конечного автомата на PLA. Проектирование конечного автомата и его реализация с использованием PAL (Programmable array logic) и PAL с регистровым выходом.

Тема 1.4. Классификация и назначение ROM-памяти (Read-Only-Memory). Структура ROM-памяти как модуля программируемой матрицы. Построение ROM модуля большого объема на микросхемах меньшего объема.

Тема 1.5. Однократно программируемые ROM (PROM (Programmable ROM)). EPROM и EEPROM. Сравнение, способы программирования и прикладные функции PROM, EPROM и EEPROM.

Раздел 2. Программируемые большие интегральные схемы (БИС) – FPGA.

Классические FPGA. Многократно программируемые логические устройства. Технологии многократного программирования.

Тема 2.1. Структура программируемых БИС. Использование ячейки SRAM в качестве программируемого элемента. Маршрутизаторы и трассировочные ресурсы программируемых БИС.

Тема 2.2. Конфигурируемые логические блоки (CLB). Секции в CLB. Элементы программирования логических блоков – LUT (Look-up-table). Реализация логических функций с использованием LUT – блоков.

Тема 2.3. Реализация булевых функций на программируемых мультиплексорах. Сложные PLD (Complex PLD - CPLD): Секции CPLD. Сравнение и анализ современных ПЛИС – FPGA, CPLD. Сравнение способов программирования на FPGA и CPLD. Сравнение и анализ быстродействия программирования на FPGA и CPLD.

Тема 2.4. Ресурсы конфигурируемых логических блоков БИС. Секции SLICEM и SLISEL. Базовые единицы программирования в FPGA и в CPLD.

2.3.4. Краткое содержание практических работ

Раздел 1. Реализация комбинационных схем на однократно программируемых матрицах.

Работа 1. Реализовать многовходовую комбинационную схему с несколькими выходами на PLA (programmable logic array) и на PAL (programmable logic array). Минимизировать заданные булевы функции и реализовать комбинационную схему на PLA и на PAL, предварительно составив таблицу программирования.

Работа 2. Реализовать многовходовую комбинационную схему с несколькими выходами на PROM (Programmable Read-Only-Memory). Определить значение совершенной дизъюнктивной нормальной формы (СДНФ) для заданных булевых функций и реализовать комбинационную схему на PROM.

Работа 3. Построить модуль ROM памяти большего объема на базе заданных микросхем ROM памяти меньшего объема, предварительно рассчитав разрядность используемого декодера.

Работа 4. Представить структуру и таблицу хранения данных в PROM, которую используют в качестве модуля табличной выборки для выполнения арифметических операций (суммирования, умножения и т.д.) над целыми числами со знаком и без знака.

Работа 5. Реализовать структурную схему конечного автомата, используя в качестве комбинационной логики однократно программируемые логические схемы.

Построить граф-схему автомата, определить функции возбуждения триггеров, минимизировать функции и реализовать структурную схему конечного автомата.

Раздел 2.

Работа 6. Реализовать многовходовую комбинационную схему с использованием программируемых мультиплексоров.

Работа 7. Реализовать заданную булеву функцию с использованием программируемого логического блока фирмы Altera.

Работа 8. Реализовать многоходовую комбинационную схему с использованием LUT-блоков. Минимизировать заданные булевы функции и реализовать комбинационную схему с использованием LUT-блоков, с последующим представлением битового содержания LUT – блоков.

Работа 9. Реализовать структурную схему конечного автомата с использованием заданных секций программируемой БИС. Построить граф-схему автомата, определить функции возбуждения триггеров, минимизировать функции и реализовать с использованием заданных секций.

2.4. Материально-техническое обеспечение дисциплины

Аудитория обеспечена компьютерами, в которых инсталлирован программно-синтезирующий пакет ISE Design фирмы Xilinx, оборудована FPGA бордами фирмы Xilinx, со встроенными FPGA семейства Spartan-6, и необходимой учебно-методической литературой.

2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
Вид учебной работы/контроля								
Контрольная работа			1			1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							1	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.5
Экзамен (оценка итогового контроля)								0.5
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

3.1. Материалы по теоретической части курса

3.1.1. Учебники

1. А.Ю. Попов. Проектирование цифровых устройств с использованием ПЛИС
2. Патрик Гёлль, Электронные устройства с программируемыми компонентами. 2003г. - 2003 Кб
3. Бродин В. Б., Калинин А. В., Системы на микроконтроллерах и БИС программируемой логики. 2006г. - 5152 Кб
4. Е.П. Угрюмов. Цифровая схемотехника, 3-е издание. БХВ-Петербург, 2010, – 797 с.
5. Virtex-7 FPGA Configurable Logic Block., UG 474 (v1.1) January 30, 2012

3.1.2. Электронные материалы

1. http://de.ifmo.ru/bk_netra/page.php?tutindex=25&index=43
2. http://radiottract.ru/book_digital_004.html

4. Практический блок

Планы практических работ

1. Проектирование комбинационных схем на программируемых логических матрицах.
2. Проектирование конечных автоматов с использованием программируемых логических матриц.
3. Проектирование комбинационных схем на программируемых логических интегральных схемах – FPGA.
4. Проектирование конечных автоматов с использованием программируемых логических интегральных схем

5. Материалы по оценке и контролю знаний

- 5.1. Тематика самостоятельных работ: самостоятельно реализовывать цифровые системы на программируемых БИС, в том числе:
комбинационные схемы, схемы с памятью, целочисленные АЛУ для простых арифметических операций.

5.2. Перечень экзаменационных вопросов

1. Классификация цифровых интегральных схем.
2. Классификация интегральных схем по уровню интеграции и по типу конфигурации памяти.
3. Простые программируемые устройства – матрицы (PLM).
4. Классификация программируемых логических интегральных схем по уровню интеграции и по типу конфигурации памяти.
5. Простые программируемые устройства: программируемые логические матрицы.
6. Реализации логических функций и конечных автоматов с использованием PLA.
7. PAL. Многоцелевые PAL.
8. Классификация и применение PROM памяти.
9. EPROM и EEPROM. Особенности и принципы работы.
10. Реализация булевых функций на PROM.
11. Сложные программируемые устройства CPLD.
12. FPGA (ПЛИС). Классификация FPGA и их обобщенная структура.
13. Конфигурирующий логический блок CLB (XC40000).
14. Реализация булевых функций на мультиплексорах и на LUT (Look-up Tables).
15. FPGA семейства Virtex-6 и Virtex-7.
16. LUT блоки в секциях SLICEM и SLICEL.
17. Распределенная память. Структура двухпортовой памяти.
18. Динамический сдвигающий регистр.
19. Последовательность проектирования схем на FPGA.
20. Реализация связей между разными секциями одного блока FPGA.
21. Конфигурация FPGA, соединения конфигурационных ячеек.

Образец экзаменационного билета

БИЛЕТ

1. Простые программируемые устройства: программируемые логические матрицы.
2. Реализация связей между разными секциями одного блока FPGA.

Задача 1 Реализовать на FPGA вычитающий счетчик по модулю 6.

Задача 2 Реализовать на PLA заданные логические функции.

$$\begin{aligned} Y1 &= a \cdot \sim b + \sim c \cdot b \cdot d, & Y2 &= \sim c \cdot b \cdot d + a \cdot c + \sim b \cdot c \\ Y3 &= \sim b \cdot c \cdot d + a \cdot b \cdot \sim d + \sim a, & Y4 &= \sim c \cdot b \cdot d + a \cdot \sim b + \sim c \cdot d \end{aligned}$$